

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-172214

(43)Date of publication of application : 02.07.1996

(51)Int.Cl.

H01L 31/10  
H01L 21/225

(21)Application number : 06-199888

(71)Applicant : SEIKO INSTR INC

(22)Date of filing : 24.08.1994

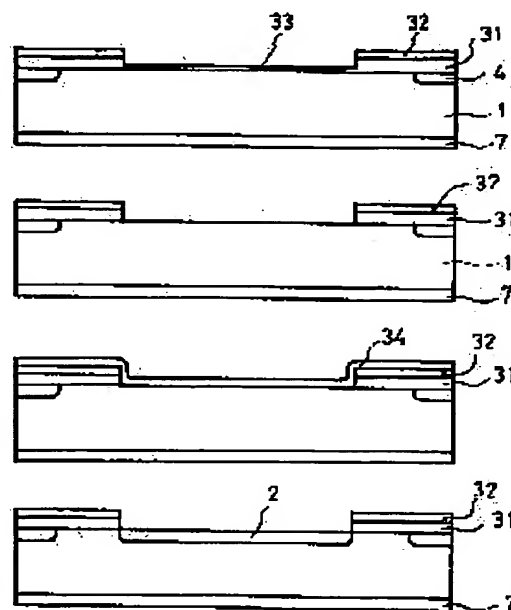
(72)Inventor : SATO KEIJI  
AKAMINE TADAO

## (54) MANUFACTURE OF PHOTOELECTRIC CONVERSION SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To reduce the dark current by forming an oxide film on a silicon as a mask in the step of forming a P+ type impurity region, and further forming a nitride film thereon.

**CONSTITUTION:** An oxide film 31 is formed on the surface of an N- type semiconductor substrate 1 by thermal oxidation, a nitride film 32 mainly containing Si<sub>3</sub>N<sub>4</sub> is formed thereon, patterned, and a P+ type region is formed with the film 32 as a mask. Thus, a natural oxide film 33 of the surface of an opening is first removed to expose the active surface of silicon. Then, boron compound gas is introduced to the active surface of the substrate 1 to form boron or boron silicide film 34. The film 32 prevents the boron from being doped with the surface of the substrate 1. Then, impurity atoms are activated and P+ type impurity region 2 are simultaneously formed by annealing to remove the boron silicide layer retaining on the surface by etching or oxidizing.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

This Page Blank (uspro)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-172214

(43) 公開日 平成8年(1996)7月2日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 31/10				
21/225	M		H 0 1 L 31/ 10	A

審査請求 未請求 請求項の数3 O L (全 4 頁)

(21) 出願番号 特願平6-199888

(71) 出願人 000002325

セイコー電子工業株式会社

千葉県千葉市美浜区中瀬1丁目8番地

(22) 出願日 平成6年(1994)8月24日

(72) 発明者 佐藤 恵二

東京都江東区亀戸6丁目31番1号 セイコ  
ー電子工業株式会社内

(72) 発明者 赤嶺 忠男

東京都江東区亀戸6丁目31番1号 セイコ  
ー電子工業株式会社内

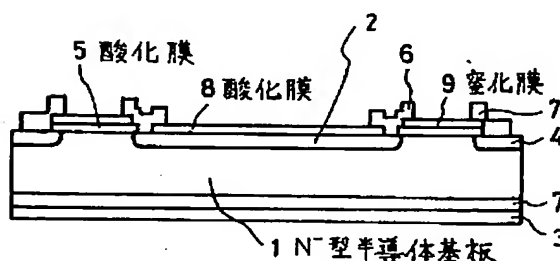
(74) 代理人 弁理士 林 敬之助 (外1名)

(54) 【発明の名称】 光電変換半導体装置の製造方法

(57) 【要約】

【目的】 暗電流の小さなすぐれた光電変換半導体装置を実現する。

【構成】 N<sup>-</sup>型半導体基板1にP<sup>+</sup>型不純物領域2が形成されアノード電極6とカソード電極7の間の部分あるいはカソード電極7の周辺部はコンタクト部以外のシリコンの上に酸化膜5とその上に窒化膜9が形成されている。



【0001】

【特許請求の範囲】

【0002】

【請求項1】 第1導電型シリコン半導体基板と第2導電型不純物領域と酸化膜と電極を有する光電変換半導体装置において、

前記第1導電型シリコン半導体基板の前記第2導電型不純物領域を有する面の前記酸化膜と前記電極を有しない部分に酸化膜と前記酸化膜の上に空化膜を有することを特徴とする光電変換半導体装置。

【0003】

【請求項2】 第1導電型シリコン半導体基板と第2導電型不純物領域と酸化膜と電極を有する光電変換半導体装置の製造方法において、

前記第1導電型シリコン半導体基板の前記第2導電型不純物領域を形成しない部分に酸化膜を形成する工程と、  
前記酸化膜の上に空化膜を形成する工程と、  
前記第2導電型不純物領域を形成する工程からなることを特徴とする光電変換半導体装置の製造方法。

【0004】

【請求項3】 請求項2記載の光電変換半導体装置の製造方法において、前記第2導電型不純物領域の形成工程が、

前記第1導電型シリコン半導体基板の自然酸化膜を除去し化学的に活性な表面を露出する工程と、  
ガス状のボロン元素を含む化合物を供給し、前記活性な表面にボロン元素またはボロン化合物から選ばれる層を形成する工程と、  
前記ボロン元素またはボロン化合物から選ばれる層を不純物拡散源とし固相拡散と不純物の活性化を行う工程からなることを特徴とする光電変換半導体装置の製造方法。

【発明の詳細な説明】

【0005】

【産業上の利用分野】 本発明は光電変換半導体装置とその製造方法および応用に関するものである。

【0006】

【従来の技術】 従来、このような分野の半導体装置としては、図3に断面図として図示するごとく、第1導電型半導体基板たるN<sup>-</sup>型半導体基板1に第2導電型半導体不純物領域たるP<sup>+</sup>型不純物領域2を持つものが知られている。

【0007】 P<sup>+</sup>型不純物領域2にはアノード電極6が形成されカソード電極7としては図示するようにP<sup>+</sup>型不純物領域2と同一の面に形成されたチャンネルストップパーとなるN<sup>+</sup>型不純物領域4で取ってもかまわない。各電極のコンタクト部以外のアノード電極6とカソード電極7の間には熱酸化により形成されたSiO<sub>2</sub>を主とする酸化膜5およびP<sup>+</sup>型不純物領域2の表面には反射をできるだけ小さくするようにCVDなどで酸化膜8が

形成されている。

【0008】 図示するごとく、P<sup>+</sup>型不純物領域2の存在する側（面）を表面と称するなら裏面には基板より高い濃度のN型である裏面のN<sup>+</sup>型不純物領域3がありP<sup>+</sup>-N<sup>-</sup>-N<sup>+</sup>よりなるPN接合を形成しPINダイオードと称される半導体装置である。

【0009】 N<sup>-</sup>型半導体基板1の不純物濃度が1×10<sup>12</sup>atms/cm<sup>3</sup>から1×10<sup>18</sup>atms/cm<sup>3</sup>程度のものをさしてイントリンシック（intrinsic、真性半導体）のiをとってPINと称されるものである。ここで、N<sup>-</sup>、N<sup>+</sup>、P<sup>+</sup>などはそれぞれの導電型不純物においてNあるいはPよりーは不純物濃度が低いことを、+は高いことを意味している。

【0010】 1層は不純物濃度が低くまた厚さとしては数10～数100μmであり、PN接合に逆バイアスを加えた時の空乏層の伸びが大きく、検出する光や放射線のエネルギーの範囲が大きく取れることや、比較的大きなバイアスを加えることができ、その時の接合容量が少ないという点から高速応答に適しており、広く使われている。

【0011】

【発明が解決しようとする課題】 従来のPINフォトダイオードは前述してきたような構造を取っているため暗電流が大きいという課題があった。

【0012】

【課題を解決するための手段】 前記課題を解決するため、本発明では以下の手段を取った。第1の手段として、P<sup>+</sup>型不純物領域の形成工程でマスクとしてシリコンの上に酸化膜を形成し、さらにその上に空化膜を形成する。

【0013】 第2の手段として、マスクとして利用した空化膜をコンタクト部以外残しておく。第3の手段として、P<sup>+</sup>型不純物領域形成を、半導体基板表面の自然酸化膜を除去し化学的に活性な表面を露出させる工程と、この活性な表面にガス状のボロン元素を含む化合物を供給し、ボロン元素あるいはボロン化合物層を形成する工程と、この層を不純物拡散源とした固相拡散および不純物の活性化を行う工程とから成る製造方法を取る。

【0014】

【作用】 前記、手段を取ることで以下の作用が得られる。第1の手段により、高濃度の不純物をドーピングでき、かつ欠陥の少ない接合層が形成でき、暗電流を減少できる。

【0015】 第2の手段により、表面および酸化膜の欠陥に起因する暗電流を減少できる。また、マスクとして利用した空化膜を利用することで工程が簡易になる。第3の手段により欠陥の少ない接合層が形成でき、空乏層が伸びやすくなる。

【0016】

【実施例】 以下、図面を参照して本発明の実施例を詳細

に説明する。図1は、本発明にかかる光電変換半導体装置の実施例のPINフォトダイオードを示す平面図である。

【0017】 $N^-$ 型半導体基板1に $P^+$ 型不純物領域2が形成され周辺にはアノード電極6が形成されている。さらにその外側にはチャンネルストッパーとなる $N^+$ 型不純物領域4にカソード電極7が形成されている。 $P^+$ 型不純物領域2の上には無反射膜となるように厚みを制御されたCVDで形成された $SiO_2$ よりなる酸化膜8がある。

【0018】アノード電極6とカソード電極7の間の部分あるいはカソード電極7の周辺部はコンタクト部以外にシリコン( $N^-$ 型半導体基板あるいは $N^+$ 型不純物領域)の上には熱酸化により形成された $SiO_2$ を主とする(CVDによる $SiO_2$ 層も含む)酸化膜5とそうえ $Si$ 、 $N_2$ を主とする窒化膜9が形成されている。

【0019】カソード電極は裏面の $N^+$ 型不純物領域3からとつてもかまわない。図3の(a)~(d)はこのよう本発明にかかる光電変換半導体装置の $P^+$ 型不純物領域形成のための製造工程を示す工程順の断面図である。まず図3(a)に示すように、 $N^-$ 型半導体基板1の表面に熱酸化により酸化膜31をその上にCVDで $Si$ 、 $N_2$ を主とする窒化膜32を形成しこれをパターニングし、窒化膜32(および酸化膜31)をマスクにして $P^+$ 型不純物領域形成する。

【0020】そのためには図3(b)に示すように、まず開口部の表面の自然酸化膜33を除去してシリコンの活性表面を露出する。それは例えば次の方法による。すなわち、0.5%HF程度の希フッ酸に基板を浸漬して、表面に自然酸化膜が形成され難くした後、基板を真30 空装置内におき、800℃以上に加熱し、バックグラウンド圧力 $10^{-6}$ Torr以下で10分以上保持する。その際酸素ガスを導入するのが望ましい。

【0021】次に図3(c)に示すように、 $N^-$ 型半導体基板1の活性表面に対し $B_2H_6$ ガスなどのボロンの化合物ガスを導入し、ボロンあるいはボロンシリサイド膜34を形成する。この工程では、 $B_2H_6$ ガスの導入圧力と導入時間の積が $3 \times 10^{-2}$ Torr·sec以上となるようにガスを導入すると制御性の高いドーピングができる。

【0022】 $B_2H_6$ ガス導入時の基板温度が300℃~700℃の場合には、ボロンの膜が、700℃以上ではボロンシリサイドの膜が形成される。前記した $B_2H_6$ ガスの導入条件では、基板温度600℃の場合、約10nmのボロン膜が堆積され、基板温度800℃の場合には、ほぼ同じ膜厚のボロンシリサイド膜が形成される。ボロン膜、ボロンシリサイド膜ともに10nm以上形成すると、それらの拡散源から $Si$ への拡散は、拡散温度での固溶限で決まる表面濃度一定の拡散となり、均一で制御性の高いドーピングが可能になる。

【0023】また、ボロンの堆積は熱CVDであるが、ボロンシリサイドの形成は $B_2H_6$ ガス中のボロンと $Si$ との反応によるものでCVDとは全く異なる。ボロンシリサイド膜はボロン膜より安定であり、ボロンシリサイド膜の方が、より制御性の高い拡散を行える。

【0024】窒化膜32は、 $N^-$ 型半導体基板1表面にボロンがドーピングされるのを防止するために有効であり、酸化膜31だけではマスクとして不十分である。以上で述べた方法でボロンまたはボロンシリサイドの膜を形成すると、溝の内壁のような立体的な構造がある場合でも均一な厚さの膜となる。

【0025】パッチ処理で一度に大量の基板にボロンまたはボロンシリサイドの膜を均一に形成できる。その後、ジボランの導入を停止し、真空中で800℃~850℃で30分程度のアニールを行う、もしくはRTAにて1050℃~1100℃で5~10秒アニールを行うことで不純物原子の活性化と図3(d)に示すように $P^+$ 型不純物領域2の形成が同時に行われ表面に残ったボロンシリサイド層をエッチングや酸化によって除去される。

【0026】このようにして、比抵抗 $5 \sim 7 k\Omega \cdot cm$ で厚み $300 \mu m$ の $N^-$ 型半導体基板に $1 cm \times 1 cm$ の $P^+$ 型不純物領域を形成したチップ寸法 $11 cm \times 11 cm$ のPINフォトダイオードを製作し、室温(ほぼ25℃)で100Vで暗電流を測定したところ2nAあった。

【0027】この場合、 $P^+$ 型不純物領域形成後窒化膜を除去し、従来のPINフォトダイオードと同じ構造にし室温で100Vで暗電流を測定したところ5nAあった。上記本発明の $P^+$ 型不純物領域形成方法により窒化膜を形成しないで同様のPINフォトダイオードを製作し室温(ほぼ25℃)で100Vで暗電流を測定したところ25nAあった。

【0028】また、窒化膜をマスクにイオン注入により $P^+$ 型不純物領域形成しコンタクト以外の窒化膜を残した本発明の別の実施例では、同じ $N^-$ 型半導体基板を使用し同じ寸法でPINフォトダイオードを製作し室温(ほぼ25℃)で100Vで暗電流を測定したところ6nAであった。

【0029】一方、従来の構造のPINフォトダイオードをマスクとして窒化膜を形成しないでイオン注入により $P^+$ 型不純物領域を形成した場合、同じ $N^-$ 型半導体基板を使用し同じ寸法で製作し室温(ほぼ25℃)で100Vで暗電流を測定したところ12nAであった。

【0030】このように、 $P^+$ 型不純物領域形成としてイオン注入やBNやモノシラン( $SiH_4$ )とジボラン( $B_2H_6$ )のCVDによるボロンシリケートガラス(BSG)を利用しても窒化膜をマスクとすることおよびコンタクト以外の窒化膜を最終的に残しておくことの50 効果はあるが、特に窒化膜をマスクとすることは本発明

5

のP<sup>+</sup>型不純物領域形成方法に大きな効果があり、また本発明のP<sup>+</sup>型不純物領域形成方法は実施例のような比抵抗が1 k $\Omega$ ・cmをこえるような高抵抗基板でもプロセスの影響による比抵抗の低下がほとんどなく、空乏層の伸びやすいPINフォトダイオードを得ることができる。

【0031】本発明のP<sup>+</sup>型不純物領域形成では酸化膜をマスクとして形成しない場合、暗電流は極めて大きくなる。

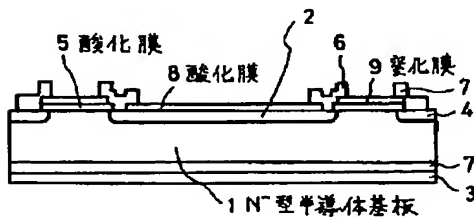
【0032】

【発明の効果】以上説明してきたように、本発明の製造方法によれば、暗電流を小さなすぐれた光電変換半導体装置を実現できる。

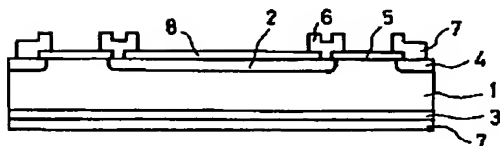
【図面の簡単な説明】

【図1】本発明による光電変換半導体装置の実施例のPINフォトダイオードを示す断面図である。

【図1】



【図3】



6

【図2】本発明のP<sup>+</sup>型不純物領域形成工程の断面図である。

【図3】従来のPINフォトダイオードの平面図である。

【符号の説明】

- 1 N<sup>-</sup>型半導体基板
- 2 P<sup>+</sup>型不純物領域
- 3 裏面のN<sup>+</sup>型不純物領域
- 4 N<sup>+</sup>型不純物領域
- 5, 8, 31 酸化膜
- 6 アノード電極
- 7 カソード電極
- 9, 32 窒化膜
- 33 自然酸化膜
- 34 ボロンあるいはボロンシリサイド膜

【図2】

